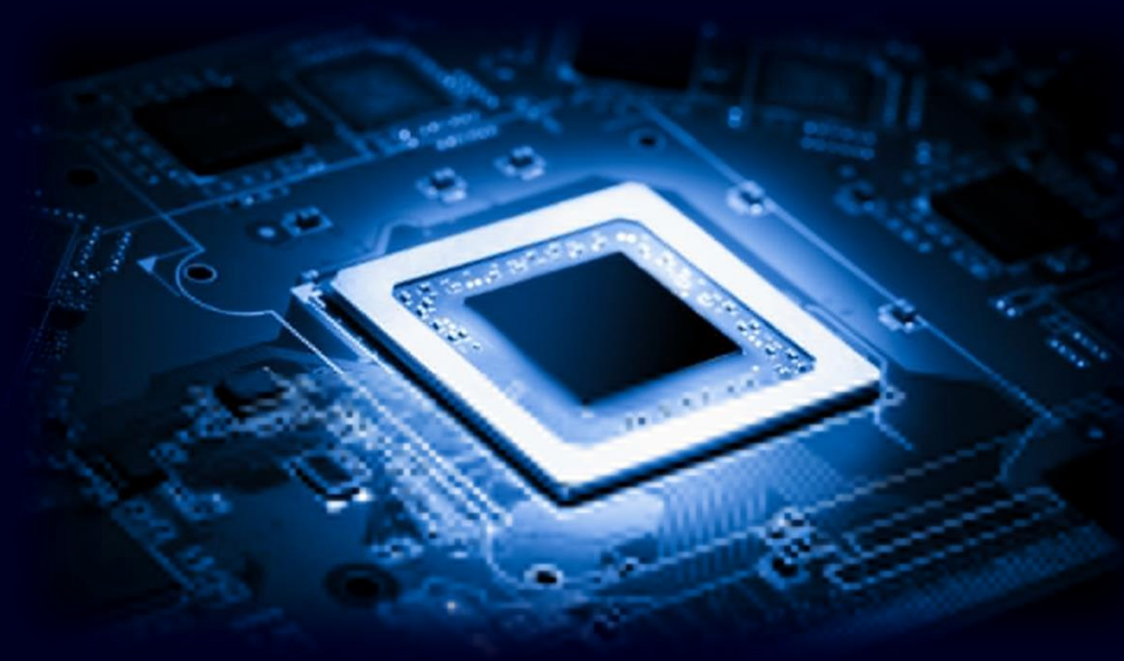


인공지능 응용을 위한 저전력 반도체 기술개발



ASDL AIS
Advanced Semiconductor Device Lab.
University of Seoul
Electrical and Computer Engineering



1

연구 계획

2

연구 준비 및 결과

3

향후 추가 연구 계획

1 연구 계획

2 연구 준비 및 결과

3 향후 추가 연구 계획

- ① 유연성과 생체적합성을 가지는 parylene-C 물질 기반 RRAM(Resistive random-access memory) 개발
 - **뉴로모픽 인공지능 칩의 시냅스 소자 개발**
 - 기존 폰 노이만 기반 인공지능 시스템 한계점 개선

- ② RRAM 물질, 소자 구조 및 공정 처리 방법 추가
 - 기존 RRAM의 신뢰성 부족 문제 개선
 - 제작한 RRAM의 전기적 특성 추출 및 비교
 - 가장 최적화된 조합 및 공정 방법 정의
 - MNIST 패턴 인식 시뮬레이션
 - **뉴로모픽 인공지능 시스템의 활용 가능성 확인**

- ③ 기존에 계획한 새로운 구조의 플래시 메모리 뉴로모픽 소자 및 어레이 구조 개발
- 연구실의 TCAD 시뮬레이션 라이선스 개수 부족
 - RRAM 공정과 패턴 인식 시뮬레이션 진행으로 인한 시간 부족
- 이번 학기 연구에서 제외

1

연구 계획

2

연구 준비 및 결과

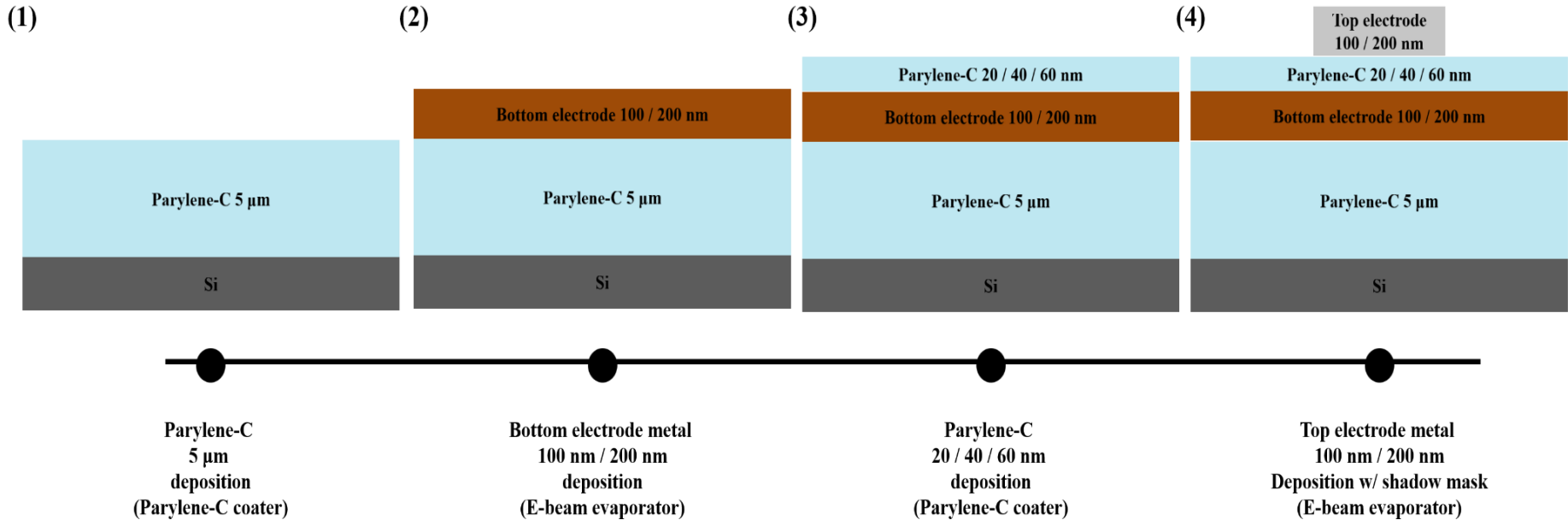
3

향후 추가 연구 계획

[Parylene-C 기반 RRAM 공정 조건]

Substrate	Bottom electrode	Switching layer	Top electrode
Parylene-C 5 μ m	Al 100 / 200 nm	Parylene-C 20 / 40 / 60 nm	Al / Ti / Cu / Au / W 100 / 200 nm
	Ti 100 / 200 nm		Al / Ti / Cu / Au / W 100 / 200 nm
	Cu 100 / 200 nm		Al / Ti / Cu / Au / W 100 / 200 nm
	Au 100 / 200 nm		Al / Ti / Cu / Au / W 100 / 200 nm
	W 100 / 200 nm		Al / Ti / Cu / Au / W 100 / 200 nm

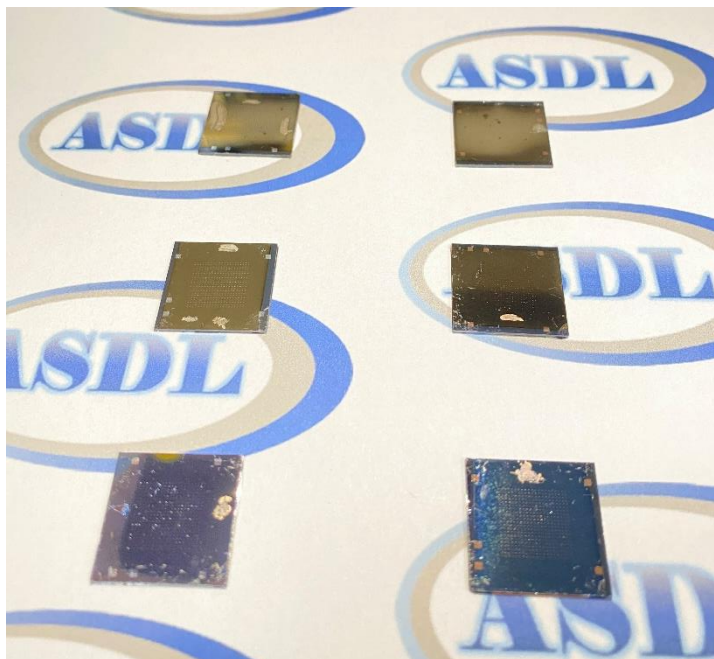
- ① Metal의 종류와 두께
 - ② Switching layer의 두께
 - ③ Metal-Switching layer-Metal의 조합
- 총 150개의 공정 조건 설정



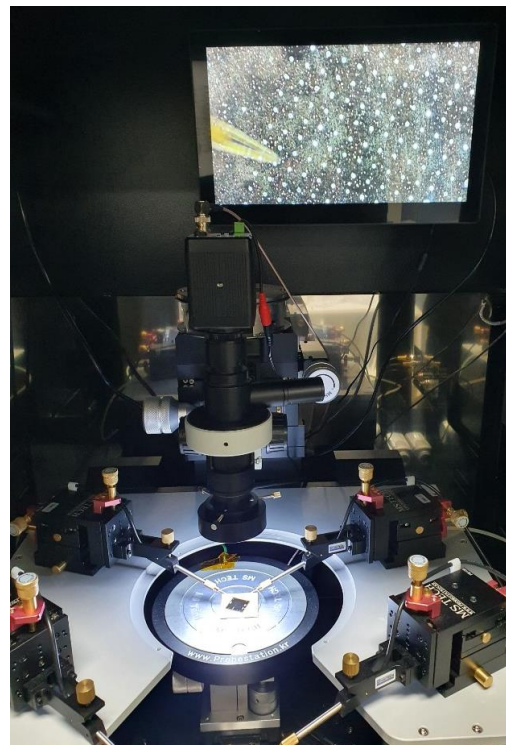
[Parylene-C 기반 RRAM 공정 프로세스]

- ① Flexible parylene-C substrate 증착 (Parylene coater)
- ② Bottom electrode 증착 (E-beam evaporator)
- ③ Parylene-C switching layer 증착 (Parylene coater)
- ④ Top electrode 형성 (E-beam evaporator & Shadow mask)

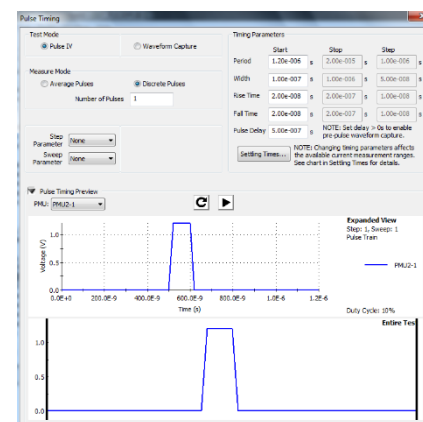
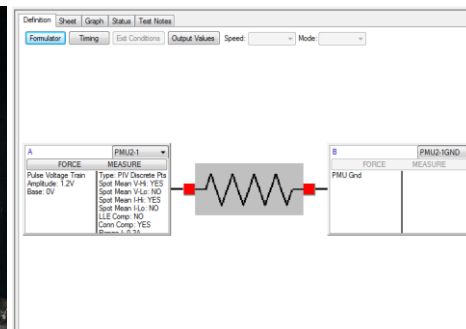
소자 측정



[제작한 Parylene-C 기반 RRAM]



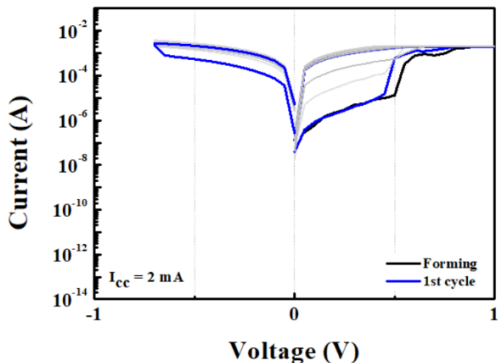
[제작된 RRAM 측정]



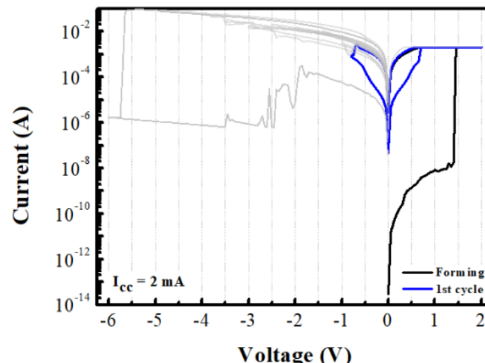
Keithley 4200-SCS / 4225-PMU & Probe station로 측정

- ① RRAM 소자의 DC I-V 특성 측정
- ② Identical pulse voltage 인가 횟수에 따른 conductance 변화 측정

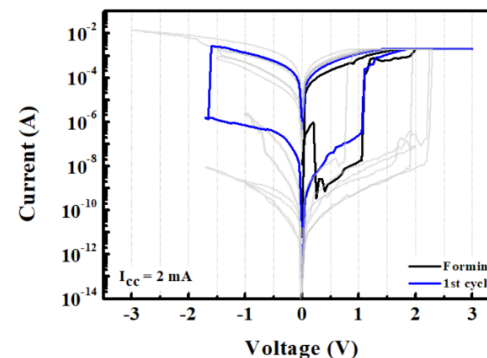
(a) Al/Parylene-C 20 nm/Ti



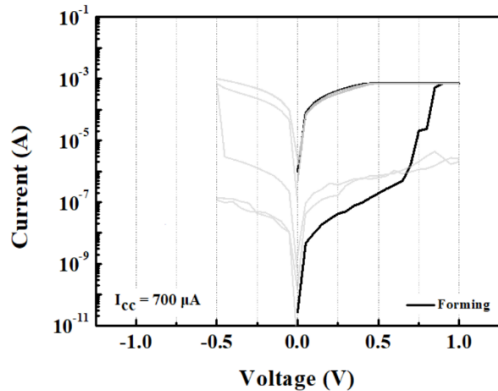
(b) Al/Parylene-C 40 nm/Ti



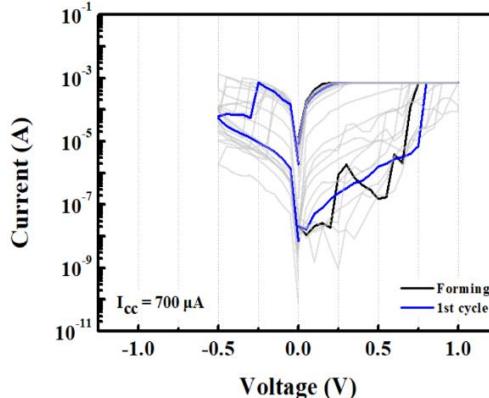
(c) Al/Parylene-C 60 nm/Ti



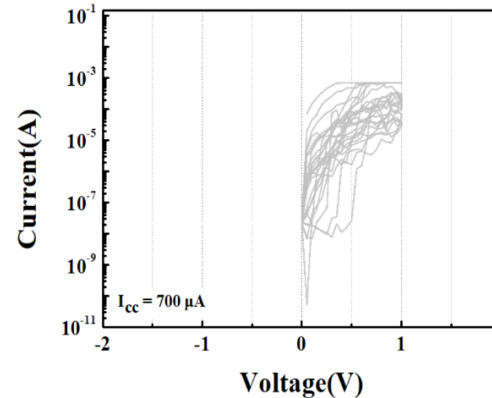
(d) Cu/Parylene-C 20 nm/Ti



(e) Cu/Parylene-C 40 nm/Ti



(f) Cu/Parylene-C 60 nm/Ti

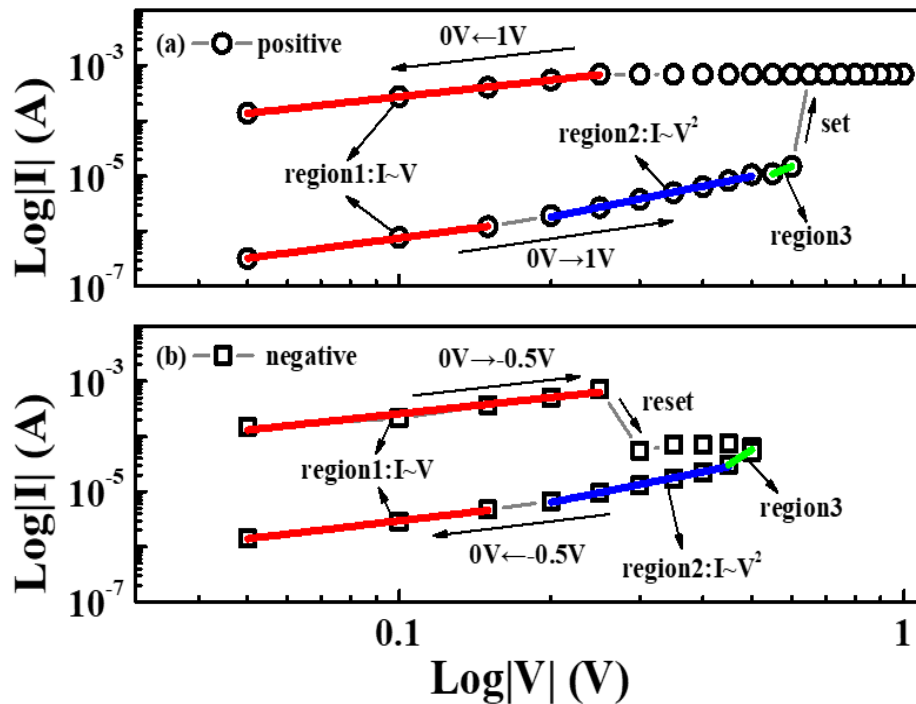


[제작한 RRAM 소자의 전기적 특성 측정 및 비교]

Cu 200 nm/Parylene-C 40 nm/Ti 100 nm

저전압 동작 (< 0.75 V), 우수한 내구성 (~10²), 큰 on-off ratio (> 10⁴)

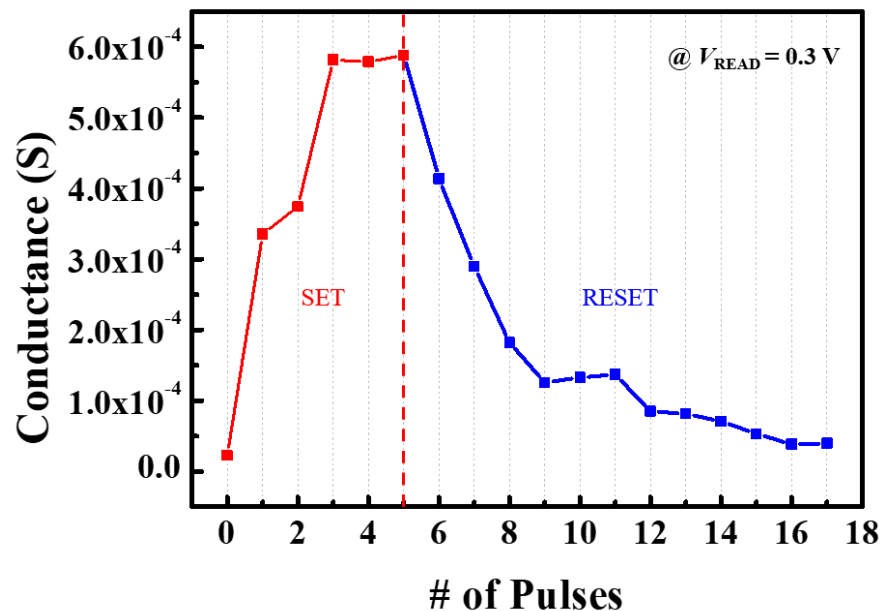
→ 뉴로모픽 시스템의 시냅스 소자 응용 가능성 검증



[Cu/Parylene-C 40 nm/Ti의 conducting mechanism 분석 결과]

log-log plot에서 I-V fitting 진행

- HRS : SCLC(Space-Charge Limited Current)
- LRS : Ohmic

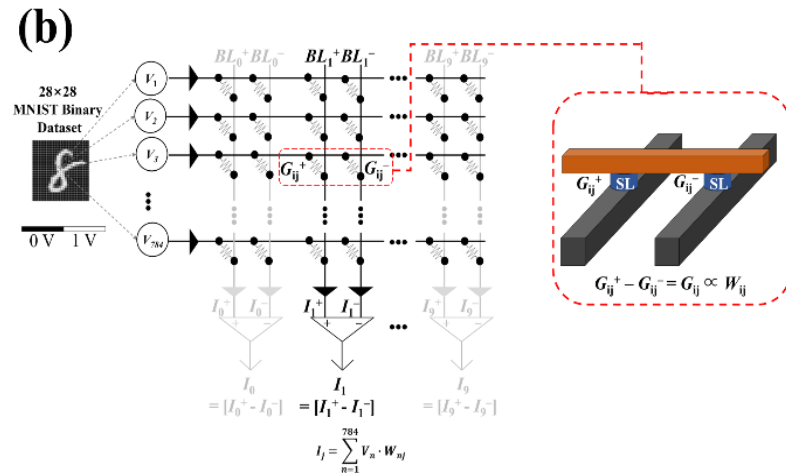
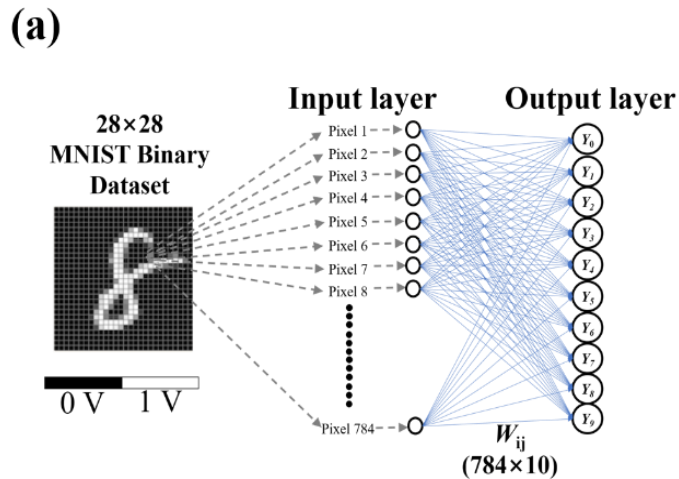


[Cu/Parylene-C 40 nm/Ti의 인공지능 구현을 위한 Multi-level 동작 확인]

Pulse voltage를 인가하여 conductance 변화 측정

- Potentiation : 4 conductance states
- Depression : 13 conductance states

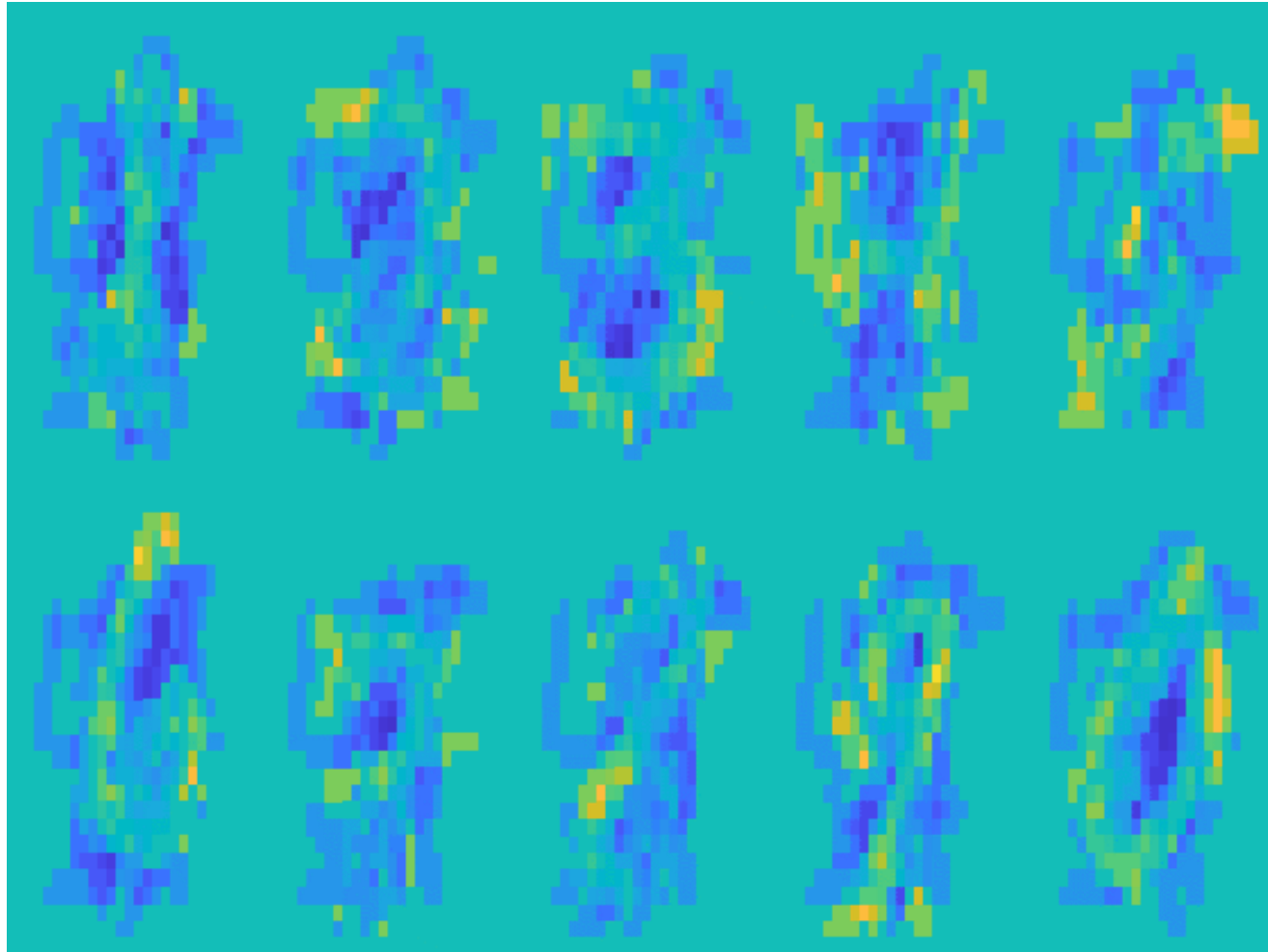
→ Multi-level 동작 확인



[Cu/Parylene-C 40 nm/Ti에서 MNIST 패턴 인식 Simulation 방법]

- ① RRAM crossbar array와 제작한 RRAM 특성을 이용하여 뉴로모픽 시스템의 **벡터 행렬 곱(vector-matrix multiplication)**을 구현
- ② MATLAB을 이용해 **MNIST 손글씨 이미지 dataset**을 사용하여 패턴 인식 시뮬레이션
- ③ 이미지 학습 후 테스트를 통해 **인공 신경망의 패턴 인식 정확도 확인**

[Weight Map 업데이트]



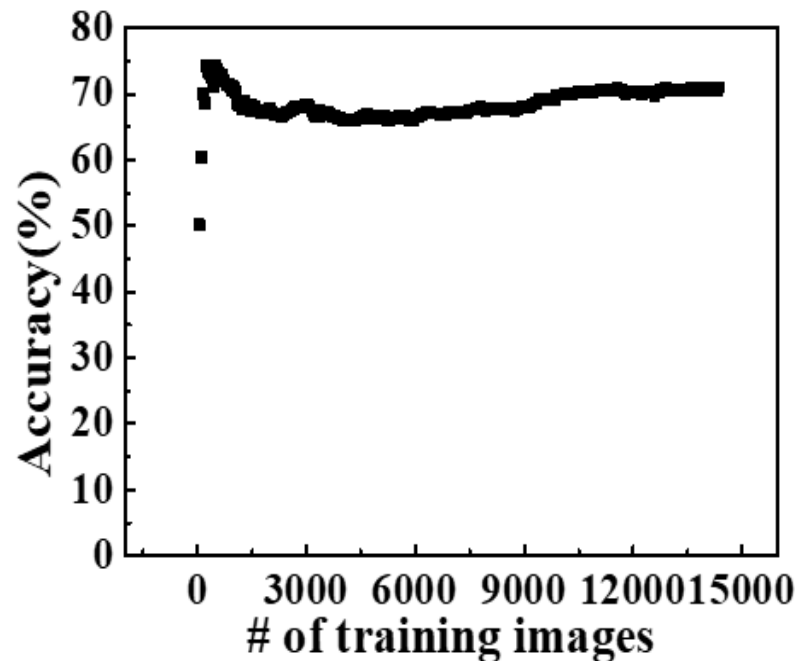
-565

Synaptic weight (μS)

+565

Cu/Parylene-C 40 nm/Ti

MNIST 패턴 인식 Simulation 결과



[학습 이미지 개수에 따른 인식 정확도]

- 14350개 이미지 학습 결과, 최대 74.37%의 정확도
- 제작한 RRAM 소자로 저전력 뉴로모픽 시냅스 소자의 가능성 검증

논문 작성 및 학술대회 제출

- 대한전자공학회 2020년도 추계학술대회 참석 예정
- 일시: 2020. 11. 27(금)~11. 28(토)
- "Parylene-C 폴리머 기반 저전력 시냅스 소자의 개발"
- 저자: 유병현, 김보람, 김혁, 차범성, 이승주, 김조은, 김윤

사회적 문제

- 기존 von Neumann 시스템 병목현상 발생
→ 인공지능 시스템 응용 시
비효율적 연산 시간 및 전력 소비.
→ 뉴로모픽 시스템 연구 필요.
- 뉴로모픽 시스템의 시냅스 소자로
RRAM이 연구되고 있음.
→ 낮은 신뢰성으로 상용화 어려움.
→ 신뢰성 높은 RRAM 제작 필요.
- 최근 시장에서 큰 성장세 보이는 플렉시블/
웨어러블 전자기기
→ 플렉시블 칩 구성 요소 연구 필요.

연구결과

- **Parylene-C 기반 RRAM 소자 제작.**
 - 간단한 공정
 - 저전력
 - 높은 신뢰성
 - 메모리 안정성
 - 유연성
 - 생체적합성
- Parylene-C 기반 RRAM 소자의
뉴로모픽 시스템 응용 가능성 확인.

연구결과

- Parylene-C 기반 RRAM 소자 제작.
 - 간단한 공정
 - 저전력
 - 높은 신뢰성
 - 메모리 안정성
 - 유연성
 - 생체적합성
- Parylene-C 기반 RRAM 소자의 뉴로모픽 시스템 응용 가능성 확인.



연구응용

**Parylene-C 기반 RRAM을
이용한
플렉시블/웨어러블
뉴로모픽 시스템 구현**

1

연구 계획

2

연구 준비 및 결과

3

향후 추가 연구 계획

- ① 새로 도입한 공정 장비인 e-beam evaporator의 set-up과 공정 조건 탐색으로 인해 실제 공정까지 많은 시간 소요
→ 계획한 공정 진행을 모두 마치지 못함
- ② 소자의 fab-out이 늦어져 전기적 특성 추출 및 MNIST 패턴 인식 시뮬레이션에 위한 시간 부족
- ③ Identical pulse를 이용한 multi-level pulse modulation은 구현
- ④ Flexible substrate 특성 연구 진행 필요

- ① Annealing 등 추가 공정 도입 및 금속 조합 탐색
→ RRAM의 전기적 특성을 개선하는 더 최적의 구조 개발

- ② ISPP(Incremental step pulse programming), STDP을 통한
multi-level pulse modulation 및 STDP 구현
→ MNIST 패턴 인식 및 CIFAR-10 시뮬레이션 추가 진행

- ③ Flexible parylene-C substrate 응용 연구 진행



감사합니다.